

PIEZOELECTRIC DEVICE AND MANUFACTURE THEREOF

Publication number: JP9092895

Publication date: 1997-04-04

Inventor: NANBA AKIHIKO; OGURA TETSUYOSHI; TOMITA YOSHIHIRO; EDA KAZUO

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: **H01L41/08; H01L21/02; H01L27/00; H01L27/12; H01L41/22; H03H3/02; H03H3/08; H03H9/19; H03H9/25; H01L41/08; H01L21/02; H01L27/00; H01L27/12; H01L41/22; H03H3/00; H03H9/00; (IPC1-7): H01L27/00; H01L41/08; H01L21/02; H01L27/12; H01L41/22; H03H3/02; H03H3/08; H03H9/19; H03H9/25**

- European:

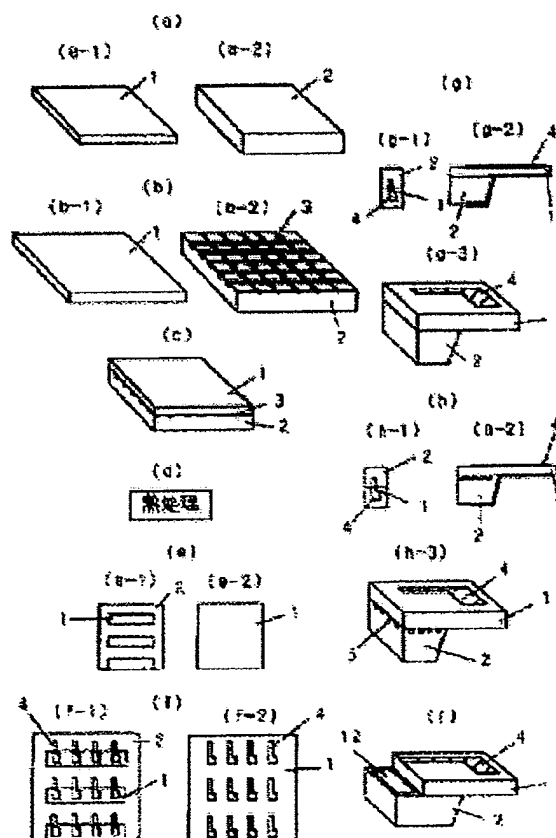
Application number: JP19960184557 19960715

Priority number(s): JP19960184557 19960715; JP19950182468 19950719

Report a data error here

Abstract of JP9092895

PROBLEM TO BE SOLVED: To prevent problems such as peeling of a composite substrate and make the manufacturing of a piezoelectric device easy and achieve a high yield and reliability by forming grooves in at least one of two substrates to be directly joined together. **SOLUTION:** The surfaces of an AT-cut quartz substrate 1 and a silicon substrate 2 are mirror-polished and washed and then surface layers of these substrates are removed with etchant. Then, grooves 3 are formed in the mirror-polished surface of the silicon substrate 2 by etching. After that, the mirror-polished surfaces of the quartz substrate 1 and the silicon substrate 2 are put together. Then, heat treatment is conducted to adhere and join these substrates. The silicon substrate 2 is etched to the quartz substrate 1 to form an opening. Then, an electrode 4 is formed on the quartz substrate 1. Thus manufactured composite substrate is diced along the grooves into a plurality of piezoelectric devices. A plurality of the grooves 3 formed in the silicon substrate 2 lessen thermal stress in a junction face between the two substrates. And, the manufacturing with a good mass-productivity can also be achieved.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-92895

(43)公開日 平成9年(1997)4月4日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 41/08			H 0 1 L 41/08	D
21/02			21/02	B
27/12			27/12	B
41/22			H 0 3 H 3/02	B
H 0 3 H 3/02		7259-5 J	3/08	

審査請求 未請求 請求項の数19 O L (全 14 頁) 最終頁に続く

(21)出願番号 特願平8-184557

(22)出願日 平成8年(1996)7月15日

(31)優先権主張番号 特願平7-182468

(32)優先日 平7(1995)7月19日

(33)優先権主張国 日本 (J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 南波 昭彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 小掠 哲義

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 富田 佳宏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

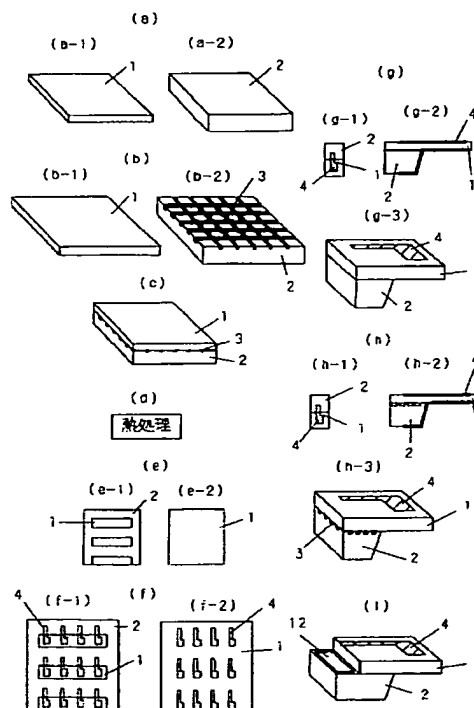
最終頁に続く

(54)【発明の名称】 圧電素子とその製造方法

(57)【要約】

【課題】 高歩留、高信頼性を有する圧電素子を得ることを目的とする。

【解決手段】 本発明の圧電素子の製造方法は、第1の基板1および圧電体からなる第2の基板2の主面を鏡面仕上げする工程と、主面の双方またはいずれか一方に複数の溝を形成する工程と、第1の基板1および第2の基板2の主面を重ね合わせる工程と、重ね合わせた基板を熱処理し接合する工程と、第1の基板1に第2の基板2の一部を露出させる開口部を形成する工程と、開口部に露出した第2の基板2の領域またはその領域に対向する第2の基板2の主面の双方またはいずれか一方に電極4を形成し複数の圧電素子を形成する工程と、接合した基板を複数の圧電素子に分割する工程とを有する。



【特許請求の範囲】

【請求項1】第1の基板および圧電体からなる第2の基板の主面を鏡面仕上げる工程と、前記主面の双方またはいずれか一方に複数の溝を形成する工程と、前記第1の基板および前記第2の基板の前記主面を重ね合わせる工程と、前記重ね合わせた基板を熱処理し接合する工程と、前記第1の基板に前記第2の基板の一部を露出させる開口部を形成する工程と、前記開口部に露出した前記第2の基板の領域またはその領域に対向する前記第2の基板の主面の双方またはいずれか一方に電極を形成し複数の圧電素子を形成する工程と、前記接合した基板を前記複数の圧電素子に分割する工程とを有する圧電素子の製造方法。

【請求項2】第1の基板が半導体、ガラス、圧電体のうちのいずれかからなる請求項1記載の圧電素子の製造方法。

【請求項3】第1の基板がシリコン、ガリウムヒ素、または、インジウムリンのいずれかからなる請求項1記載の圧電素子の製造方法。

【請求項4】第1の基板が集積回路の形成されたシリコン基板であることを特徴とする請求項1記載の圧電素子の製造方法。

【請求項5】第1の基板が薄膜トランジスタを含む集積回路の形成されたガラス基板であることを特徴とする請求項1記載の圧電素子の製造方法。

【請求項6】第2の基板が、水晶、ニオブ酸リチウム、タンタル酸リチウム、ジルコン酸チタン酸ランタン酸鉛のいずれかからなる請求項1記載の圧電素子の製造方法。

【請求項7】第1の基板および圧電体からなる第2の基板の主面を鏡面仕上げる工程と、前記主面の双方またはいずれか一方に複数の溝を形成する工程と、前記第1の基板および前記第2の基板の前記主面を重ね合わせる工程と、前記第2の基板の厚さを減ずる工程と、前記重ね合わせた基板を熱処理し接合する工程と、前記第1の基板に前記第2の基板の一部が露出する開口部を形成する工程と、前記開口部に露出した前記第2の基板の領域またはその領域に対向する前記第2の基板の主面の双方またはいずれか一方に電極を形成し複数の圧電素子を形成する工程と、前記接合した基板を前記複数の圧電素子に分割する工程とを有する圧電素子の製造方法。

【請求項8】第1の基板および圧電体からなる第2の基板の主面を鏡面仕上げる工程と、前記主面の双方またはいずれか一方に複数の溝を形成する工程と、前記第1の基板および前記第2の基板の前記主面を重ね合わせる工程と、前記第2の基板を複数の領域に分割する工程と、前記重ね合わせた基板を熱処理し接合する工程と、前記第1の基板に前記第2の基板の一部が露出する開口部を形成する工程と、前記開口部に露出した前記第2の基板の領域またはその領域に対向する前記第2の基板の

主面の双方またはいずれか一方に電極を形成し複数の圧電素子を形成する工程と、前記接合した基板を前記複数の圧電素子に分割する工程とを有する圧電素子の製造方法。

【請求項9】第1の基板および圧電体からなる第2の基板の主面を鏡面仕上げる工程と、前記主面の双方またはいずれか一方に複数の溝を形成する工程と、前記第1の基板および前記第2の基板の前記主面を重ね合わせる工程と、前記第2の基板の厚さを減ずる工程と、前記第2の基板を複数の領域に分割する工程と、前記重ね合わせた基板を熱処理し接合する工程と、前記第1の基板に前記第2の基板の一部が露出する開口部を形成する工程と、前記開口部に露出した前記第2の基板の領域またはその領域に対向する前記第2の基板の主面の双方またはいずれか一方に電極を形成し複数の圧電素子を形成する工程と、前記接合した基板を前記複数の圧電素子に分割する工程とを有する圧電素子の製造方法。

【請求項10】第1の基板および圧電体からなる第2の基板の主面を鏡面仕上げる工程と、前記主面の双方またはいずれか一方に複数の溝を形成する工程と、前記第1の基板および前記第2の基板の前記主面を重ね合わせる工程と、重ね合わせた状態で前記第1の基板および前記第2の基板を複数の基板に分割する工程と、前記複数の基板を熱処理し接合する工程と、前記複数の基板のそれぞれに前記第1の基板に前記第2の基板の一部が露出する開口部を形成する工程と、前記開口部に露出した前記第2の基板の領域またはその領域に対向する前記第2の基板の主面の双方またはいずれか一方に電極を形成する工程とを有する圧電素子の製造方法。

【請求項11】第1の基板および圧電体からなる第2の基板の主面を鏡面仕上げる工程と、前記主面の双方またはいずれか一方に複数の溝を形成する工程と、前記第1の基板および前記第2の基板を洗浄する工程と、前記第1の基板および前記第2の基板の前記主面を重ね合わせる工程と、前記重ね合わせた基板の周囲の前記溝に充填剤を埋める工程と、前記重ね合わせた基板を熱処理し接合する工程と、前記第1の基板の一部を前記第2の基板に達するまで除去する工程と、前記第1の基板が除去された領域における前記第2の基板に電極を形成する工程と、前記複数の溝の全部または一部に沿って前記接合された基板を分離する工程とを有する圧電素子の製造方法。

【請求項12】電極が形成された圧電体と、前記圧電体の一部に接合された基板とからなる圧電素子において、前記圧電体と前記基板との接合部における前記基板には少なくとも1以上のくぼみが形成されていることを特徴とする圧電素子。

【請求項13】くぼみが溝であることを特徴とする請求項12記載の圧電素子。

【請求項14】溝が互いに直交する複数の溝であること

を特徴とする請求項13記載の圧電素子。

【請求項15】基板が半導体、ガラス、圧電体のうちのいずれかからなる請求項12記載の圧電素子。

【請求項16】基板がシリコン、ガリウムヒ素、または、インジウムリンのいずれかからなる請求項12記載の圧電素子。

【請求項17】基板が集積回路の形成されたシリコン基板であることを特徴とする請求項12記載の圧電素子。

【請求項18】基板が薄膜トランジスタを含む集積回路の形成されたガラス基板であることを特徴とする請求項12記載の圧電素子。

【請求項19】圧電体が、水晶、ニオブ酸リチウム、タンタル酸リチウム、ジルコン酸チタン酸ランタン酸鉛のいずれかからなる請求項12記載の圧電素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体、圧電体、ガラス等の基板材料を直接接合や陽極接合により、貼り合わせた複合基板から形成される圧電素子、及び、その製造方法に関するものである。

【0002】

【従来の技術】水晶発振器等に応用される圧電素子の製造方法において、近年、圧電基板と半導体基板を、接着剤等の中間層を介さずに直接接合や陽極接合により張り合わせる方法が検討されている。ここで、直接接合とは鏡面研磨された2つの基板を重ね合わせ、熱処理することにより基板を原子レベルで接合する技術である。また、陽極接合は鏡面研磨された2つの基板を重ね合わせ、界面に電圧を印加しながら、熱処理を行い、基板を原子レベルで接合する技術である。例えば、アイ・イー・イー・イー・ウルトラソニックス シンポジウム プロシーディング、1045頁(1994年)(IEEE Ultrasonics Symposium Proceeding, p1045(1994))では、半導体と圧電体の直接接合について報告されており、これによると、シリコンと水晶が、二酸化珪素の層を介して原子間で接合されていることが報告されている。この二酸化珪素はシリコン基板、あるいは水晶基板を構成する原子に起因するもので、中間接着層には該当しない。また、同種基板の直接接合でも、アプライド フィジックス レターズ 第66巻 1484頁(1995年)(Applied Physics Letters vol.66, p1484, (1995))では、ニオブ酸リチウムが原子間で接合されていることが報告されている。

【0003】

【発明が解決しようとする課題】直接接合は、たとえば、以下のような工程で実現される。

【0004】(A) 基板の重ね合わせる面を鏡面仕上げる。

(B) 基板を洗浄する。

【0005】(C) 基板を重ね合わせる。基板材料によ

っては、重ね合わせの前に、親水化処理を施す場合がある。

【0006】(D) 熱処理を行い、基板を接合する。しかしながら、水晶発振器の製造方法におけるシリコンと水晶のように、異なる基板を直接接合、陽極接合する製造方法では、熱膨張率の違いから、(D)の熱処理の際に基板が破損、剥離してしまうという問題があった。特開平5-327383号公報では、熱膨張率の異なる基板どうしを直接接合、陽極接合する場合、基板の破損、剥離は基板の厚みと密接な関係があることが報告されている。

【0007】さらに、基板の破損等は、基板の接合面積にも依存する。すなわち、複合基板の接合工程中において熱応力による基板の破損なしに基板が熱処理できる最高温度を熱処理可能温度と定義すると、図11に示すように、熱処理可能温度は、接合面積に依存することがわかる。図11は、親水化処理と重ね合わせ熱処理により直接接合した場合の水晶基板とシリコン基板の接合面積と熱処理可能温度の関係の実験値を示す図である。実験において、水晶基板の厚みは100 μ m、シリコン基板の厚みは600 μ mとし、形状はともに正方形とした。接合方法はアンモニア水、過酸化水素、純水の混合液で親水化処理を行い、重ね合わせ、100℃/時間の割合で昇温し、その最高温度で2時間保持した。横軸は水晶とシリコンの接合面積で、縦軸は複合基板の熱処理可能温度を面積1600mm²のときの熱処理可能温度で規格化した値である。

【0008】このように、基板厚や接合面積により熱処理可能温度が相違するので、異種基板の直接接合を安定に行うことは、本質的に困難であり、圧電素子の作製に直接接合を用いることは容易ではなかった。

【0009】次に、熱処理可能温度が接合面積に依存する要因について説明する。すなわち、加熱処理の際に、接合面内に加わる応力が不均一になるためであり、この要因としては、以下のようなことが考えられる。

【0010】(1) 加熱工程中、接合強度が接合面内で分布を持つこと

(2) 部分的な非接合部分が存在すること

まず、(1)について説明する。

【0011】基板を直接接合、あるいは、陽極接合する工程中では、基板が接合される速度が接合界面で一定ではない。つまり、強く接合されている部分と弱い接合部分とが存在し、基板内で応力に分布ができるためである。。

【0012】次に、(2)について説明する。接合面内で接合されている部分(接合部分)と接合されていない部分(非接合部分)とが存在し、基板内で応力に分布ができるためである。

【0013】ここで、非接合部分の発生原因としては、以下のようなことが考えられる。

- ・基板自身の表面荒れ、うねり、そり、汚れ
- ・接合界面のパーティクル
- ・接合界面に閉じこめられた気体
- ・初期接着で水分子および水分子に付着した原子を介す接合方法とる場合、接合界面に閉じ込められた水分子および水分子に付着した原子

以下、このような非接合部分をボイドと呼ぶことにする。

【0014】特に、圧電基板のような絶縁体は、帯電しやすくパーティクルが付着しやすいため、(2)の原因で基板の破損、剥離が発生しやすい。すなわち、マイクロオーダーのパーティクルが付着し、ボイドとなると、ボイドの部分から広範囲にわたって基板の剥離が進行し、剥離部分の圧電複合基板は使用不能となる。帯電した絶縁体基板に付着したマイクロオーダーのパーティクルを完全に除去するのは、容易ではなく、直接接合、陽極接合の洗浄工程を複雑にする。

【0015】また、異方性の熱膨張率を持つ絶縁体では、接合の際に、基板方位を正確に合わせないと、応力の発生により基板の破損、剥離といった現象を引き起こす。

【0016】以上は、接合工程中の熱処理における従来の課題を述べたが、圧電素子の作製後においても、圧電素子を外部電極にコンタクトさせるための半田リフロー等の加熱工程を経る際には、同様の課題が発生し、圧電複合基板が剥離等する問題が生じる。また、接合界面に存在するボイドは圧電複合基板を破損させない場合であっても、圧電複合基板に作成された圧電素子に応力を加えることとなるため、その圧電素子の特性を変化させ、ひいては、圧電素子の信頼性を損なう原因となる。

【0017】

【課題を解決するための手段】本発明は、前記課題を解決するため、直接接合の際に接合する2つの基板の少なくとも一方に溝を形成することにより複合基板の剥離等の問題を防止し、圧電素子の製造を容易にすることを目的とする。また、作製された圧電素子に加わる応力を低減し、信頼性の高い圧電素子を提供することを目的とする。

【0018】すなわち、前記目的を達成するため、開示された圧電素子の製造方法は、第1の基板および圧電体からなる第2の基板の主面を鏡面仕上げする工程と、前記主面の双方またはいずれか一方に複数の溝を形成する工程と、前記第1の基板および前記第2の基板の前記主面を重ね合わせる工程と、前記重ね合わせた基板を熱処理し接合する工程と、前記第1の基板に前記第2の基板の一部を露出させる開口部を形成する工程と、前記開口部に露出した前記第2の基板の領域またはその領域に対向する前記第2の基板の主面の双方またはいずれか一方に電極を形成し複数の圧電素子を形成する工程と、前記接合した基板を前記複数の圧電素子に分割する工程とを

有することを特徴とする。

【0019】また、開示された圧電素子は、電極が形成された圧電体と、前記圧電体の一部に接合された基板とからなる圧電素子において、前記圧電体と前記基板との接合部における前記基板には少なくとも1以上のくぼみが形成されていることを特徴とする。

【0020】

【発明の実施の形態】

(実施の形態1) 本発明の実施の形態1における圧電素子の製造方法を図1に示す。図1において、1は圧電基板で、例えば、大きさが40×40mmで、厚みが100μmのATカット水晶基板である。2は半導体基板で、例えば、大きさが40×40mmで、厚みが600μmのシリコン基板である。

【0021】以下、工程を説明する。

(a) ATカット水晶基板1とシリコン基板2の表面を鏡面研磨、洗浄を行い、弗酸系のエッチング液により、表面層を除去する。ATカット水晶基板はこの段階で、所定の厚み、例えば、100μmに薄板化される。

【0022】(b) シリコン基板2の鏡面研磨した面にエッチングにより、溝3を設けた。溝の寸法は、例えば、溝幅100μm、溝深さ30μm、溝間隔は2mmとした。溝はATカット水晶基板上に設けても、シリコン基板、ATカット水晶基板の両方に設けても良い。

【0023】本実施の形態の材料構成では、溝幅は通常、溝間隔よりも大きい値であれば良いが、接合強度を得るためには、好ましくは、溝間隔に対して90%以下の値とするのがよい。本実施の形態では、溝間隔に対し、5%の溝幅を取っている。溝深さは、溝構造を有する基板の強度を大きく損なわない程度にする必要がある。通常は溝部分の基板厚みが50μm以上残る深さ、例えば、厚み600μmのシリコンでは550μm以下の溝深さをとるが、圧電複合基板の強度を考慮すると、好ましくは、溝部分の基板厚みが100μm以上残る深さ、例えば、厚み600μmのシリコンでは500μm以下の溝深さをとるのがよい。本実施の形態では、溝部分の基板厚みが600μmのシリコン基板に対して570μm残る深さ、すなわち、溝深さを30μmとした。

【0024】(c) ATカット水晶基板1とシリコン基板2をアンモニア、過酸化水素、純水の混合液に浸漬し、表面を親水化処理し、更に、純水で充分洗浄した。以上の処理により、各基板表面は親水化され、表面には水分子および水分子に付着した原子が付着する。2枚の基板の鏡面研磨した面を重ね合わせた。水分子および水分子に付着した原子のファンデルワールス力により、2枚の基板は吸着した。親水化処理後に、基板を乾燥させても同等の効果は得られる。

【0025】(d) 熱処理を行なった。通常、熱処理温度は、室温以上573℃以下であるが、好ましくは100℃以上500℃以下がよい。本実施の形態では、24

0℃で熱処理を行った。熱処理時間は5時間とした。この熱処理により、基板が原子間接合または分子間接合による固着により接合されることとなる。

【0026】ここで、原子間接合による固着とは、基板表面を構成している原子どうしが、接着剤などの基板表面を構成する原子以外から成る中間接着層を介することなく、直接に接合されている状態を意味する。例えば、シリコン基板同士やシリコンと水晶基板の接合でのシロキサン接合(Si-O-Si)が原子間接合にあたる。分子間接合による固着とは、接合前の工程において意図的に基板表面に付着させた前記基板表面を構成する原子以外の分子、あるいは、官能基により基板が接合されている状態を意味する。例えば、基板表面を親水化処理した場合の水酸基同士の水素結合によるものや接合界面に残留する水分子および水分子に付着した原子を介した水素結合によるものが分子間接合にあたる。このような基板の接合形態は、接合時の熱処理温度によって決まる。熱処理温度と接合形態の関係は接合する基板の種類や接合条件によっても異なるが、熱処理温度を上げるに従い、分子間接合を主とした接合形態から、分子間接合と原子間接合の両方が存在する中間形態へと変化し、更には、原子間接合へと変化する。本発明では直接接合、あるいは、陽極接合の接合形態として上記の3つの接合形態をすべて含むものとする。

【0027】(e) シリコン基板を水晶基板に達するまでエッチングし、開口部を形成する。(e-1)は開口部側から見た接合基板の下面図、(e-2)は水晶基板側から見た接合基板の上面図である。

【0028】(f) ATカット水晶基板1に電極4を形成する。水晶発振器の場合には、水晶基板の両面に形成されたこの電極が励振用電極を形成する。(f-1)、(f-2)は各複合基板の下面図、上面図である。

【0029】(g) 複合基板を前記複数の溝に沿ってダイシングする。図はダイシングにより分割された圧電素子の上面図(g-1)、断面図(g-2)、斜視図(g-3)である。圧電素子の各圧電素子のこのとき、溝の寸法、形状を最適化することにより、ダイシングなしに基板を小片に分割することも可能である。すなわち、外部からの機械的な手法により基板にそりを加えることにより、溝部分で基板が容易に割れるようにすることが可能となり、ダイシング工程の簡略化が図れる。また、必ずしも溝にそってダイシングする必要はなく、(h)に示すように、複数の溝を圧電素子に含むような形態でダイシングしても構わない。

【0030】このようにして作製された圧電素子は、最終的に、外部に設けられた駆動用のIC、例えば、発振器用のICとワイヤーボンディング等により接続させることにより、実際の機器に組み込まれて使用されることとなる。また、シリコン基板上にIC12をあらかじめ作製しておく、図1の(i)に示したような構造とす

ることができる。この場合、工程(a)の前工程として、シリコン基板上のIC部と接合される水晶基板を予め、くり抜いておくか、空隙を設けておくかする必要がある。

【0031】本実施の形態の製造方法とすることで、次のような作用がある。

(1) 熱処理工程中に、熱応力が不規則、かつ、部分的に集中することを溝構造を設けることにより緩和する。

【0032】(2) 熱処理中のボイドの発生を軽減する。

(3) 接合工程中、あるいは、接合工程終了後の基板剥離の進行を抑える。

【0033】まず、(1)について説明する。溝構造を持たない基板どうしを接合すると、熱処理工程中、熱膨張率の違いに起因する熱応力は接合界面で不規則に加わる。一部で過剰の熱応力が加わると基板はそこから破損、剥離する。本実施の形態の製造方法とすると、熱応力は溝周辺に集中するが、溝構造が規則的に設けられているため、過剰の熱応力が加わることはない。

【0034】次に、(2)について説明する。接合工程中に接合界面に存在する気体、水分子および水分子に付着した原子は溝部分から除去され、ボイドの発生が軽減される。また、基板のうねり、そりによるボイドは溝部分に吸収され、接合部分に発生するボイドは軽減される。特に、数百 μm に鏡面研磨された基板はうねり、そりを持つことが多い。また、初期接着で多量の水分子および水分子に付着した原子を介す接合形態をとる場合、水分子および水分子に付着した原子の除去と同時に接合界面に存在するパーティクルも除去する効果があり、クリーン度の低い、室内でも直接接合、陽極接合が可能となる。

【0035】次に、(3)について説明する。接合界面にボイドが存在すると、接合工程中、特に、熱処理の際にボイド部分から基板の剥離が進行する。基板の剥離は、溝部分で停止するため、接合剥離面積は本実施の形態の構成にすることにより大幅に減少する。接合後に発生する基板剥離についても同様の作用がある。

【0036】以上に説明した製造方法により、熱膨張率の異なる基板を直接接合する際の基板の破損、剥離を軽減し、2種以上の基板からなる複合基板に形成される圧電素子の量産性、歩留まりを高める効果がある。また、溝形成によりダイシングが不要になる可能性がある。

【0037】なお、本実施の形態では溝間隔を0.3から20mmと変えて、同様の製造方法で複合基板を作製した。溝間隔と熱処理可能温度の関係を図2に示す。横軸は溝間隔で、縦軸は熱処理可能温度Tを接合界面に溝構造を有しない通常の接合方法により接着した場合の熱処理可能温度で規格化した値である。従来の接合方法に比べて熱処理可能温度が上昇し、接合が安定化していることがわかる。

【0038】また、溝間隔が小さくなるほど熱処理可能温度は上がり、単位あたりの接合面積に対する接合強度も大きくできることがわかる。溝間隔は必要とする基板全体の接合強度や最終の複合基板の形状に合わせて設定する。

【0039】なお、複合基板の溝は基板の縦横に垂直に、且つ、等間隔に設けられているが、基板に対して、斜めでも、曲線状に入っている、等間隔でなくても、溝を入れることによる上記の効果は得られる。

【0040】なお、シリコン基板に予め、発振回路を組み込んでおくと、外部に設けられるICも圧電素子内に集積化でき、機器の小型化、低コスト化に寄与できる。

【0041】なお、半導体基板としてはシリコン基板を例として示したが、ガリウム砒素、インジウムリン基板を用いても同様の効果は得られる。これらの化合物半導体基板を用いることで、高周波デバイス、光デバイスなどに応用可能である。

【0042】なお、圧電体としては水晶、ニオブ酸リチウム、タンタル酸リチウム、ジルコン酸チタン酸ランタン酸鉛の群から選ばれる材料を用いて、前記の効果を確認した。

【0043】これらの圧電体と半導体を組み合わせることにより、例えば、圧電発振器、表面弾性波コンボルバなどに応用可能である。

【0044】(実施の形態2) 本発明の圧電素子の製造方法の実施の形態2を以下に説明する。本実施の形態2では、半導体基板2の代わりに、ガラス基板を用いる。工程図は、実施の形態1の場合と同様であるので省略する。圧電基板は、例えば、大きさが40×40mmで、厚みが100μmのATカット水晶基板である。ガラス基板は、例えば、大きさが40×40mmで、厚みが500μmで、熱膨張率が $3 \times 10^{-6}/^{\circ}\text{C}$ である。

【0045】以下、工程を説明する。

(a) ATカット水晶基板を鏡面研磨、洗浄を行い、弗酸系のエッチング液により、表面層を除去する。ATカット水晶基板はこの段階で、所定の厚み、例えば、100μmに薄板化される。ガラス基板は、基板の製造段階で鏡面仕上げされている。

【0046】(b) ガラス基板の鏡面仕上げ面にエッチングにより、溝を設けた。溝の寸法は、溝幅100μm、溝深さ30μm、溝間隔は2mmとした。溝はATカット水晶基板上に設けても、ガラス基板、ATカット水晶基板の両方に設けても良い。

【0047】本実施の形態のような構造の貼り合わせ複合基板は、例えば、鏡面研磨された基板を重ね合わせ熱処理し、作製可能である。熱処理温度は例えば、水晶と本実施の形態で用いたような熱膨張率 $3 \times 10^{-6}/^{\circ}\text{C}$ ガラスの場合、室温以上573℃以下、好ましくは100℃以上500℃以下の温度での熱処理がよい。本実施の形態では、300℃と180℃で熱処理を行った。熱処

理時間は5時間とした。

【0048】(c) ATカット水晶基板とガラス基板をアンモニア、過酸化水素、純水の混合液に浸漬し、表面を親水化処理し、更に、純水で充分洗浄した。以上の処理により、各基板表面は親水化され、表面には水分子および水分子に付着した原子が付着する。2枚の基板の鏡面仕上げ面を重ね合わせた。水分子および水分子に付着した原子のファンデルワールス力により、2枚の基板は吸着した。親水化処理後に、基板を乾燥させても同等の効果は得られる。

【0049】(d) 熱処理を行なった。通常、熱処理温度は、室温以上573℃以下であるが、好ましくは100℃以上500℃以下がよい。本実施の形態では、260℃で熱処理を行った。熱処理時間は5時間とした。

【0050】(e) ガラス基板を水晶基板に達するまでエッチングし、開口部を形成する。

(f) ATカット水晶基板に電極を形成する。水晶発振器の場合には、水晶基板の両面に形成されたこの電極が励振用電極を形成する。

【0051】(g) 複合基板を前記複数の溝に沿ってダイシングする。このとき、溝の寸法、形状を最適化することにより、ダイシングなしに基板を小片に分割することも可能である。すなわち、外部からの機械的な手法により基板にそりを加えることにより、溝部分で基板が容易に割れるようにすることが可能となり、ダイシング工程の簡略化が図れる。また、必ずしも溝にそってダイシングする必要はなく、複数の溝を圧電素子に含むような形態でダイシングしても構わない。

【0052】このようにして作製された圧電素子は、最終的に、外部に設けられた駆動用のIC、例えば、発振器用のICとワイヤーボンディング等により接続させることにより、実際の機器に組み込まれて使用されることとなる。

【0053】本実施の形態の製造方法とすることで、次のような作用がある。ガラス基板はその製造方法から基板表面にうねりが発生しやすく、また、うねりを除去するために研磨を行った場合でも、基板内に気泡が存在するためボイドが発生しやすい。実施の形態1に示した同様の作用により、この課題は解決できる。また、ガラス基板は安価で、かつ、種類が多く、熱膨張率の自由度が高いため、貼り合わせ複合基板の材料に適している。

【0054】以上説明した構成により、ガラス基板と前記ガラスとは熱膨張率の異なる他の基板からなる複合基板の耐熱温度が上昇し、経年変化も抑制され、基板の信頼性が向上する。

【0055】なお、熱膨張率の異なる他のガラス基板を用いた場合でも、必要な耐熱温度と溝間隔、溝深さを熱膨張率に応じて選ぶことにより、接合界面に溝構造を有しない複合基板に比べ、高温での熱処理が可能となる。実際に、熱膨張率 $3 \times 10^{-6}/^{\circ}\text{C}$ 、 $7 \times 10^{-6}/^{\circ}\text{C}$ 、1

$4 \times 10^{-6}/^{\circ}\text{C}$ 、 $15 \times 10^{-6}/^{\circ}\text{C}$ の熱膨張率のガラス基板を用いて、本実施の形態の貼合わせ複合基板を作製して、同様の前記効果が得られた。

【0056】なお、複合基板の溝は基板の縦横に垂直に、且つ、等間隔に設けられているが、基板に対して、斜めでも、曲線状に入っているが、等間隔でなくても、溝を入れることによる上記の効果は得られる。

【0057】なお、本実施の形態では、ガラス基板との接合材料として水晶基板を用いたが、圧電体としてニオブ酸リチウム、タンタル酸リチウム、ジルコン酸チタン酸ランタン酸鉛の群から選ばれる材料を用いても同様の効果が得られる。また、圧電体の代わりにシリコン、ガリウム砒素、インジウムリンの半導体基板を用いても同様の効果が得られる。

【0058】なお、ガラス基板に予め、薄膜トランジスタ等により構成した発振回路を組み込んでおくと、外部に設けられるICも圧電素子内に集積化でき、機器の小型化、低コスト化に寄与できる。

【0059】(実施の形態3) 本発明の実施の形態3の圧電素子の製造方法を図3に示す。本実施の形態3では、ニオブ酸リチウム基板を用いた場合を示す。

【0060】図3の(a)から(c)において、(a-1)、(a-3)、(b-1)、(b-3)、(c-1)は上面図、(a-2)、(a-4)、(b-2)、(b-4)、(c-2)は断面図である。また、(e)、(f)において、(e-1)、(f-1)は複合基板をガラス基板から見た上面図、(e-2)、(f-2)は圧電基板から見た上面図である。(g)、(h)は各圧電素子の上面図、断面図、斜視図である。

【0061】5は圧電基板で、例えば、大きさが直径51mmのウエハで、厚みが $100\mu\text{m}$ の128° rotated yカットニオブ酸リチウム基板である。6も圧電基板で、例えば、大きさが直径51mmのウエハで、厚みが $500\mu\text{m}$ のyカットニオブ酸リチウム基板である。

【0062】以下、工程について説明する。

(a) ニオブ酸リチウム基板の表面を鏡面研磨、洗浄を行い、弗酸系のエッチング液により、表面層を除去する。yカットニオブ酸リチウム基板7はこの段階で、所定の厚み、例えば、 $50\mu\text{m}$ に薄板化される。

【0063】(b) 厚み $500\mu\text{m}$ のyカットニオブ酸リチウム基板の鏡面研磨した面にエッチングにより、溝3を設けた。溝の寸法は、例えば、溝幅 $500\mu\text{m}$ 、溝深さ $30\mu\text{m}$ 、溝間隔は10mmとした。溝は $50\mu\text{m}$ 厚のyカットニオブ酸リチウム基板上に設けても、 $500\mu\text{m}$ 厚のyカットニオブ酸リチウム基板、 $50\mu\text{m}$ 厚のyカットニオブ酸リチウム基板の両方に設けても良い。

【0064】(c) yカットニオブ酸リチウム基板をアンモニア、過酸化水素、純水の混合液に浸漬し、表面を親水化処理し、更に、純水で充分洗浄した。以上の処理により、各基板表面は親水化され、表面には水分子およ

び水分子に付着した原子が付着する。2枚の基板の鏡面研磨した面を重ね合わせた。水分子および水分子に付着した原子のファンデルワールス力により、2枚の基板は吸着した。親水化処理後に、基板を乾燥させても同等の効果は得られる。

【0065】(d) 熱処理を行なった。通常、熱処理温度は、室温以上 1100°C 以下であるが、好ましくは 1000°C 以上 1100°C 以下がよい。本実施の形態では、 800°C で熱処理を行った。熱処理時間は5時間とした。

【0066】(e) ニオブ酸リチウム基板6を水晶基板に達するまでエッチングし、開口部を形成する。

【0067】(f) ATカット水晶基板に電極を形成する。発振器の場合には、基板の両面に形成されたこの電極が励振用電極を形成する。

【0068】(g) 複合基板を前記複数の溝に沿ってダイシングする。このとき、溝の寸法、形状を最適化することにより、ダイシングなしに基板を小片に分割することも可能である。すなわち、外部からの機械的な手法により基板にそりを加えることにより、溝部分で基板が容易に割れるようにすることが可能となり、ダイシング工程の簡略化が図れる。また、必ずしも溝にそってダイシングする必要はなく、複数の溝を圧電素子に含むような形態でダイシングしても構わない。

【0069】このようにして作製された圧電素子は、最終的に、外部に設けられた駆動用のIC、例えば、発振器用のICとワイヤーボンディング等により接続させることにより、実際の機器に組み込まれて使用されることとなる。

【0070】本実施の形態の製造方法をとることで、次のような作用がある。

(1) 接合工程中に、熱応力が不規則、かつ、部分的に集中することを溝構造を設けることにより緩和する。

【0071】(2) 接合工程中のボイドの発生を軽減できる。

(3) 接合工程中、あるいは、接合工程終了後の基板剥離の進行を抑える。基板剥離の進行を抑える。

【0072】(1)～(3)の作用の説明については前記実施の形態と同様であるが、特に、絶縁基板の帯電しやすいという性質から(3)の作用が大きい。また、

(1)については、特に、異方性の熱膨張率を持つ絶縁体基板の貼り合わせ複合基板において顕著である。これは、各基板の方位がずれて接合されているばあい、同種基板であっても、実質的に異種基板の圧電複合基板となるためである。

【0073】以上説明した形態の製造方法により、同じ熱膨張率を持つ絶縁体基板からなる複合基板の量産性、歩留まりを高めることができる。

【0074】なお、圧電基板としてニオブ酸リチウム基板以外のタンタル酸リチウム基板、ジルコン酸チタン酸

ランタン酸鉛を用いても良い。

【0075】用途によって、圧電基板も他のカット角、材料を用いても、鏡面研磨できる材料であれば、同様の前記効果が得られる。

【0076】また、鏡面研磨された圧電体はその製造からボイドが発生しやすいため、特に、前記作用による効果は大きい。

【0077】以上説明した構成により、圧電基板と前記圧電基板とは熱膨張率の異なる他の圧電基板からなる複合基板の耐熱温度が上昇し、経年変化も抑制され、基板の信頼性が向上する。

【0078】なお、複合基板の溝は基板の縦横に垂直に、且つ、等間隔に設けられているが、基板に対して、斜めでも、曲線状に入っている、等間隔でなくても、溝を入れることによる上記の効果は得られる。

【0079】なお、このような異なる圧電基板どうしを貼り合わせ複合基板は、もとの基板とは異なった特性を持つ圧電基板となる。

【0080】(実施の形態4)以下、実施の形態4における圧電素子の製造方法について説明する。基板の方位も同種であることを除いては、実施の形態3の場合と同様である。工程図も図3と同じである。

【0081】7は圧電基板で、例えば、大きさが直径51mmのウエハで、厚みが50 μ mのyカットニオブ酸リチウム基板である。6は圧電基板で、例えば、大きさが直径51mmのウエハで、厚みが500 μ mのyカットニオブ酸リチウム基板である。本実施の形態の貼り合わせ複合基板は圧電基板7、6の貼り合わせ界面、いわゆる、接合界面に溝3を有している。本実施の形態では、この溝3は圧電基板6に縦横に設けている。溝3の寸法は、例えば、溝一本辺りの幅に相当する溝幅は500 μ m、溝の深さに相当する溝深さは30 μ m、隣接する溝の中心間の距離に相当する溝間隔は5mmである。本実施の形態の材料構成では、溝幅は通常、溝間隔よりも大きい値であれば良いが、接合強度を得るためには、好ましくは、溝間隔に対して95%以下の値とするのがよい。本実施の形態では、溝間隔に対し、10%の溝幅を取っている。溝深さは、溝構造を有する基板の強度を大きく損なわない程度にする必要がある。本実施の形態では、溝部分の基板厚みが500 μ mのニオブ酸リチウム基板に対して470 μ m残る深さ、すなわち、溝深さを30 μ mとした。

【0082】本実施の形態のような構造の貼り合わせ複合基板は、例えば、鏡面研磨された基板を重ね合わせ熱処理し、作製可能である。熱処理温度は例えば、ニオブ酸リチウム基板どうしの場合、室温以上1100℃以下、好ましくは100℃以上1000℃以下の温度での熱処理がよい。本実施の形態では、300℃、及び、500℃で熱処理を行った。熱処理時間は5時間とした。

【0083】本実施の形態の構造をとることで、次のよ

うな作用がある。

(1)加熱時に、熱応力が不規則、かつ、部分的に集中することを溝構造を設けることにより緩和する。

【0084】(2)加熱時に、新たなボイドの発生を軽減できる。

(3)基板剥離の進行を抑える。

【0085】(1)～(3)の作用の説明については実施の形態1と同様であるが、特に、絶縁基板の帯電しやすいという性質から(3)の作用が大きい。

【0086】なお、(1)については、特に、異方性の熱膨張率を持つ絶縁体基板の貼り合わせ複合基板において顕著である。これは、各基板の方位がずれて接合されているばあい、同種基板であっても、基板が異方性を有することにより実質的に異種基板の圧電複合基板となるためである。

【0087】以上説明した本実施の形態の製造方法とすることで、熱膨張率の同じ貼り合わせ複合基板の場合であっても、その耐熱温度が上昇し、経年変化が抑制され、基板の信頼性が向上する。

【0088】なお、本実施の形態では、圧電体としてニオブ酸リチウムを用いたが、水晶、タンタル酸リチウム、ジルコン酸チタン酸ランタン酸鉛の群から選ばれる材料を用いても、前記の効果は得られる。

【0089】なお、異方性材料の場合、用途によって、そのカット角度を任意に選択することも可能である。

【0090】なお、複合基板の溝は基板の縦横に垂直に、且つ、等間隔に設けられているが、基板に対して、斜めでも、曲線状に入っている、等間隔でなくても、溝を入れることによる上記の効果は得られる。

【0091】なお、圧電基板に限らず、同じガラス基板どうしについても同様の前記効果が得られる。

【0092】なお、本実施の形態の組み合わせ以外にも、絶縁体基板どうしで、直接接合、陽極接合可能なものについては、同様の効果は得られる。

【0093】(実施の形態5)実施の形態5の圧電素子の製造方法を説明する。上記実施の形態4と同様の製造方法で、熱処理前に基板を薄膜化する工程を備えることを特徴とする。

【0094】すなわち、実施の形態1の工程(a)から(c)の後、基板を低温で仮接着する。その後、図4に示すように、ATカット水晶基板1を研磨、エッチングにより100 μ mの厚さから20 μ mまで薄膜化する工程を設ける。その後の工程(d)から(g)は実施の形態1と同様である。

【0095】本実施の形態の製造方法を用いることで、次のような作用がある。すなわち、基板厚を薄くすることで、熱処理可能温度が上昇するので基板の剥離等の防止の効果がよりいっそう顕著になり、量産性の向上が図れる。また、本発明では、実施の形態1に述べた作用により、ボイドの発生が抑制されるので、研磨後の基板厚

みは基板内ではば一定となり、圧電素子の特性ばらつきが少なく歩留の向上が図れる。

【0096】以上述べた本実施の形態の製造方法により、量産性、歩留まりともに良好に基板の薄板化を行うことが可能となる。

【0097】なお、本実施の形態では、実施の形態1の場合を例にして説明したが、上記のすべての実施の形態において用いることにより同様の効果が期待される。

【0098】(実施の形態6) 実施の形態6の圧電素子の製造方法を説明する。実施の形態1と同様に(a)から(c)の工程を行った後、基板を低温で仮接着する。その後、図5に示すように、ATカット水晶基板1のみをダイシングソーにより分離する。ここで、ダイシングの位置は、半導体基板2に設けた溝に沿って行うことが望ましい。分離の後、実施の形態1の(d)から(g)の工程により圧電素子を作製する。

【0099】本実施の形態の製造方法を用いることにより、ATカット水晶基板1は個々に分割されることになり、一部の分割領域に剥離等の不良が発生しても隣接する領域への影響は完全に防止できる。すなわち、圧電素子のよりいっそうの歩留まりの向上が図れることとなる。

【0100】なお、本実施の形態では、水晶基板1の分離をダイシングソーにより行ったが、ダイヤモンドカッターや微細砥粒を吹き付けて研削を行うサンドブラストやエッチングなどの化学的な手法を用いても良い。

【0101】なお、本実施の形態では、実施の形態1の場合を例にして説明したが、上記のすべての実施の形態において用いることにより同様の効果が期待される。

【0102】(実施の形態7) 実施の形態7の圧電素子の製造方法を説明する。実施の形態1と同様に(a)から(c)の工程を行った後、基板を低温で仮接着する。その後、本実施の形態7では、図6に示すように、次の工程を付加している。

【0103】(a) ATカット水晶基板1のみをダイシングソーにより分離する。ここで、ダイシングの位置は、半導体基板2に設けた溝に沿って行うことが望ましい。

【0104】(b) ATカット水晶基板1を研磨、エッチングにより20 μ mまで薄板化する。

【0105】その後、実施の形態1の(d)から(g)の工程により圧電素子を作製する。本実施の形態の製造方法を用いることにより、実施の形態1で述べた同様の、作用、効果に加え、実施の形態5および実施の形態6の作用、効果が加わる。また、研磨の際に砥粒がATカット水晶基板1全体に均一に接触し、研磨による板厚のばらつきが小さくなる。従って、圧電素子の歩留まり、量産性は更に向上する。

【0106】なお、本実施の形態では、実施の形態1の場合を例にして説明したが、上記のすべての実施の形態

において用いることにより同様の効果が期待される。

【0107】(実施の形態8) 実施の形態8の圧電素子の製造方法を説明する。実施の形態1と同様に(a)から(c)の工程を行った後、基板を低温で仮接着する。その後、本実施の形態では更に、図7に示すように、貼り合わせ複合基板をダイシングソーにより小片に切断する工程を設ける。ここで、ダイシングの位置は、半導体基板2に設けた溝に沿って行うことが望ましい。その後、分離した小片に実施の形態1の(d)から(g)と同様の工程を行うことにより圧電素子を作製する。

【0108】本実施の形態の製造方法を用いることにより、実施の形態1で述べた同様の、作用、効果に加え、次の作用、効果が加わる。

【0109】すなわち、小片に切断することにより、接合面積が小さくなり、熱処理可能温度が大幅に向上する。

【0110】なお、本実施の形態では、実施の形態1の場合を例にして説明したが、上記のすべての実施の形態において用いることにより同様の効果が期待される。

【0111】(実施の形態9) 実施の形態9の製造方法を説明する。8は、充填剤となるエレクトロンワックスを注入した溝部分である。実施の形態1と同様に(a)から(c)の工程を行う。本実施の形態では、図8に示すように、(c)の工程終了後、基板を低温で仮接着し、次の工程を行う。

【0112】(a) 70℃で重ね合わせた複合基板を加熱し、溝部分に、エレクトロンワックスを注入する。エレクトロンワックスは毛細現象により、溝部分に浸透する。

【0113】(b) ATカット水晶基板1を研磨、エッチングにより20 μ mまで薄板化する。

【0114】本実施の形態の製造方法を採用することで、次のような作用がある。低温の熱処理では、複合基板の接合強度は弱い。

【0115】これらの工程終了後、実施の形態1に示す(d)から(g)の工程を行い、圧電素子を作製する。

【0116】以上述べた製造方法により、接合強度を強くし、後工程での歩留まりを向上させる効果がある。すなわち、エレクトロンワックスにより、基板側面部から溝内への異物、特に薄膜化工程における異物の侵入を防止できる。

【0117】なお、本実施の形態では、溝を埋める材料として、エレクトロンワックスを用いたが、その他の材料を用いても良く、要は、溝部分に浸透し、常温で固化するものであれば同様の効果がある。

【0118】なお、本実施の形態では熱処理に相当する工程を70℃で行ったが、エレクトロンワックスが溶融する温度であれば同様の効果がある。また、注入する材料によっては、温度を設定すればよい。

【0119】なお、熱処理を行った後、更に、本実施の

形態における(a)の工程を行っても同様の効果がある。

【0120】なお、本実施の形態では、実施の形態1の場合を例にして説明したが、上記のすべての実施の形態において用いることにより同様の効果が期待される。

【0121】(実施の形態10)図9に、本発明の実施の形態10の圧電素子を示す。(a)は斜視図、(b)は上面図、(c)は断面図、(d)は裏面図である。ここで、1は水晶基板、2は半導体基板である。4は電極であり、例えば、発振器の場合には、励振用電極を構成する。また、11はスルーホールであり、下部電極と外部へのワイヤーボンディング等による接続を容易にするために下部電極を上部に引き出すために形成されている。このような圧電素子は、外部に設けられた駆動用の回路に、ワイヤーボンディング等により接続されて使用される。

【0122】本実施の形態10の特徴は、半導体基板2上に、基板の接合界面における応力を低減するための溝3が形成されていることである。図9で、接合部分の大きさは、 $5 \times 5 \text{ mm}$ で、溝幅は $50 \mu\text{m}$ 、溝深さは $10 \mu\text{m}$ 、溝間隔は 1 mm とした。

【0123】この溝の存在により、半田リフロー等の加熱工程を経る際にも、基板が熱応力により剥離等する問題が解決されている。また、素子駆動時においても、基板からの応力の低減が図れるので、信頼性の高い動作を有する圧電素子が実現できる。

【0124】また、図10に示すように、半導体基板2に、駆動回路用のIC12を形成することで、圧電素子を含む機器の小型化、低コスト化が図れる。図10で(a)は斜視図、(b)は上面図、(c)は断面図、(d)は裏面図である。水晶基板1の裏面電極は水晶基板に設けられた貫通穴から水晶基板1の表面に引き出されており、IC12と水晶の圧電素子の導通はワイヤー13により取られている。

【0125】なお、応力を低減するという点では、半導体基板に形成する溝は単なるくぼみであってもよい。すなわち、溝のようなストライプ形状ではなく、アイランド状に点在するくぼみであってもよい。また、基板と圧電体がアイランド状に接合する形態であっても構わない。要するに、接合部における基板の一部に応力を緩和するための非接合部が形成されていれば、本発明の効果は達成できる。

【0126】なお、半導体基板としてはシリコン基板を例として示したが、ガリウム砒素、インジウムリン基板を用いても同様の効果は得られる。これらの化合物半導体基板を用いることで、高周波デバイス、光デバイスなどに応用可能である。

【0127】なお、圧電体としては水晶、ニオブ酸リチウム、タンタル酸リチウム、ジルコン酸チタン酸ランタン酸鉛の群から選ばれる材料を用いてもよい。これらの圧

電体と半導体を組み合わせることにより、例えば、圧電発振器、表面弾性波コンボルバなどに応用可能である。

【0128】

【発明の効果】本発明の圧電素子の製造方法によれば、基板に設けられた複数の溝の形成により圧電基板との接合界面における熱応力が緩和される。すなわち、接合界面における熱応力を溝部分に集中させることにより、圧電基板の接合部に過剰に熱応力がかかることを抑制することができる。従って、直接接合により圧電素子を作製する製造方法においても、基板の剥離等の問題を生じることなく圧電素子の作製が容易に可能となる。

【0129】また、基板に局所的な応力が加わった場合においても、基板に設けられた溝により、剥離は一定の領域に抑制されるので広範囲な領域で剥離を生じることがない。すなわち、量産性に優れた高歩留の圧電素子の製造が実現できる。

【0130】本発明の圧電素子によれば、圧電体と基板の接合部に形成された溝により、接合界面からの熱応力を緩和できるため、高信頼性の圧電素子が実現できる。すなわち、接合界面における熱応力を溝部分に集中させることにより、圧電基板の接合部に過剰に熱応力がかかることを抑制することができ、熱応力による特性変化の少ない圧電素子が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における圧電素子の製造方法を示す図

【図2】同実施の形態1における貼り合わせ複合基板の溝間隔と熱処理可能温度の関係を示す図

【図3】同実施の形態3における圧電素子の製造方法を示す図

【図4】同実施の形態5における圧電素子の製造方法の一部を示す図

【図5】同実施の形態6における圧電素子の製造方法の一部を示す図

【図6】同実施の形態7における圧電素子の製造方法の一部を示す図

【図7】同実施の形態8における圧電素子の製造方法の一部を示す図

【図8】同実施の形態9における圧電素子の製造方法の一部を示す図

【図9】同実施の形態10における圧電素子を示す図

【図10】同実施の形態10における他の圧電素子を示す図

【図11】従来の複合基板の接合面積と熱処理可能温度の関係を示す図

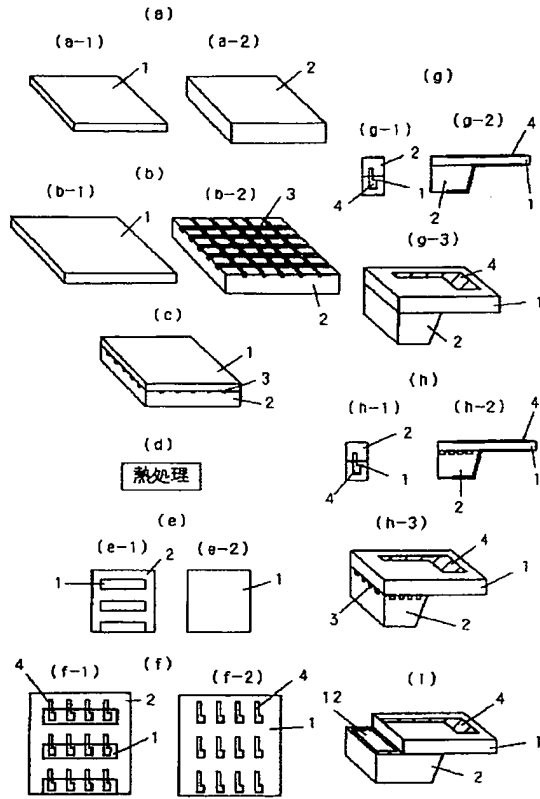
【符号の説明】

- 1 圧電基板
- 2 半導体基板
- 3 溝
- 4 電極

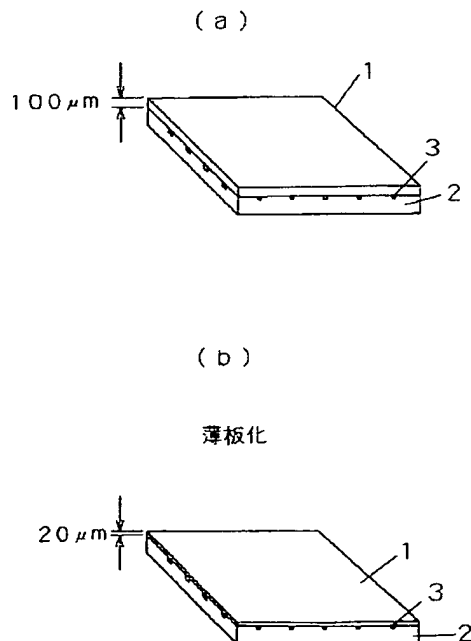
5, 6, 7 圧電基板

8 充填剤

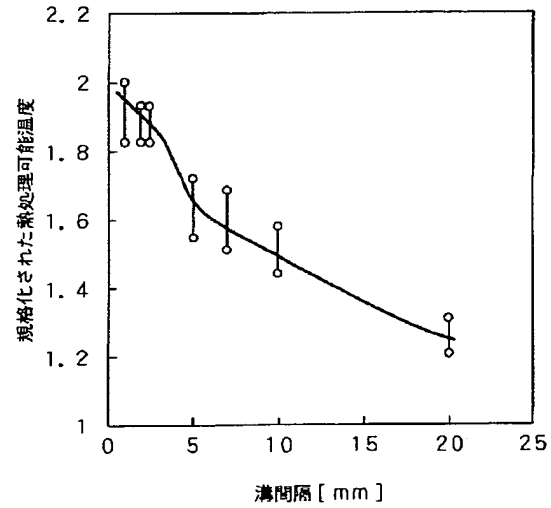
【図1】



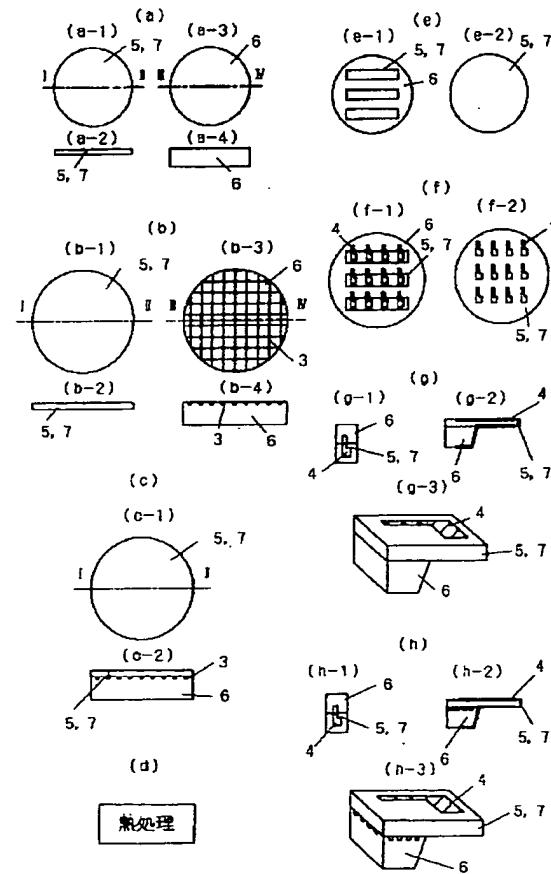
【図4】



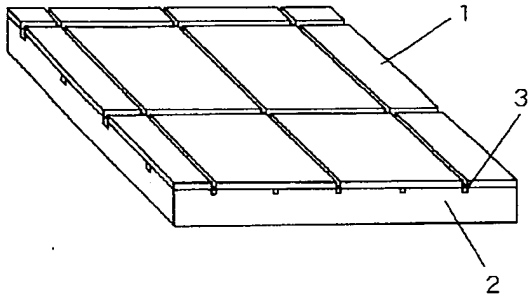
【図2】



【図3】

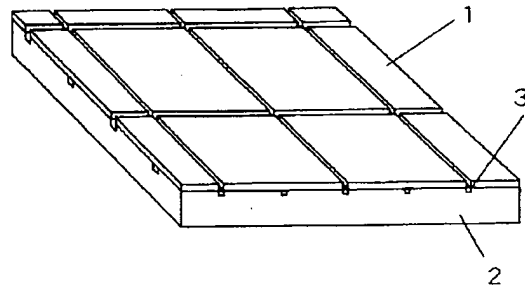


【図5】



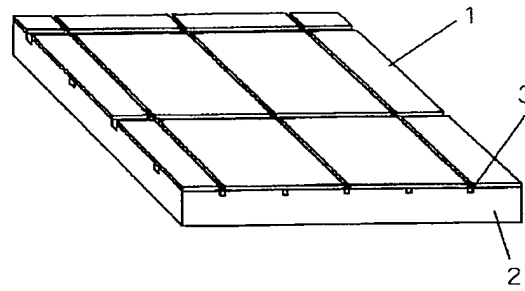
【図6】

(a)

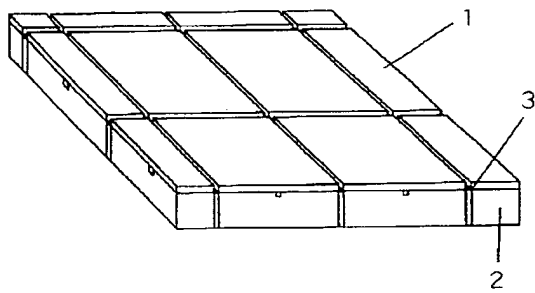


(b)

薄板化

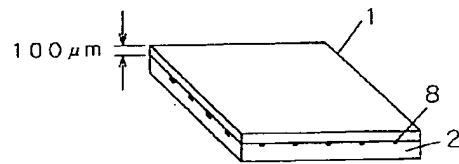


【図7】



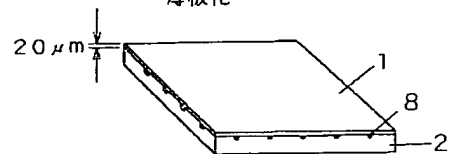
【図8】

(a)

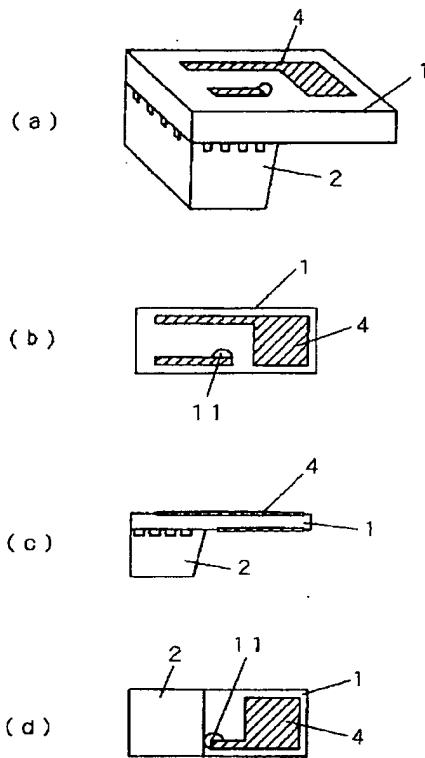


(b)

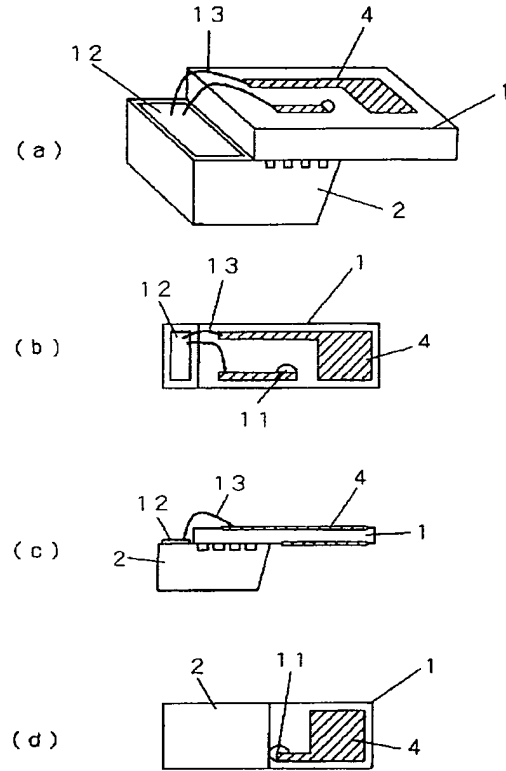
薄板化



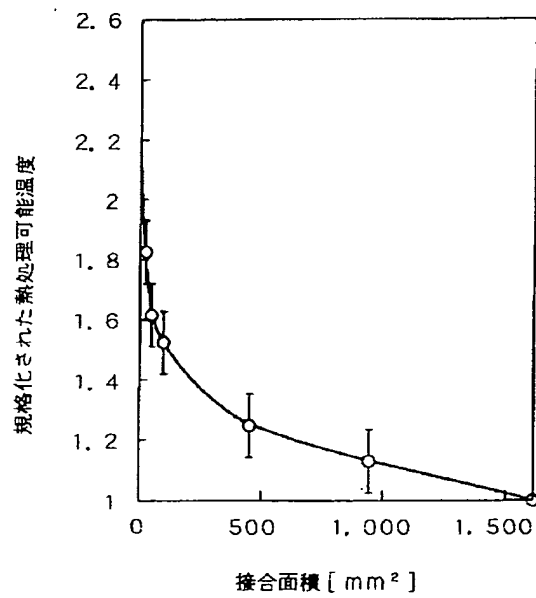
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 H	3/08		H 0 3 H	9/19 A
	9/19	7259-5 J		9/25 C
	9/25		H 0 1 L	27/00 3 0 1 B
// H 0 1 L	27/00	3 0 1		41/22 Z

(72)発明者 江田 和生
大阪府門真市大字門真1006番地 松下電器
産業株式会社内